

# HLee4\_Job\_1\_of\_1

Printed by HPS Server  
for

**EAST**

---

Printer: cp4\_3c03\_gbfhptr

Date: 04/14/03

Time: 15:17:10

## Document Listing

| Document     | Selected Pages | Page Range | Copies |
|--------------|----------------|------------|--------|
| JP405055570A | 6              | 1 - 6      | 1      |
| Total (1)    | 6              | -          | -      |

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-55570

(43)公開日 平成5年(1993)3月5日

|                          |       |         |                |         |
|--------------------------|-------|---------|----------------|---------|
| (51)Int.Cl. <sup>5</sup> | 識別記号  | 庁内整理番号  | F I            | 技術表示箇所  |
| H 0 1 L 29/784           |       |         |                |         |
| G 0 2 F 1/136            | 5 0 0 | 9018-2K |                |         |
| H 0 1 L 27/12            | A     | 8728-4M | H 0 1 L 29/ 78 | 3 1 1 C |
|                          |       | 9056-4M |                | 3 1 1 H |
|                          |       | 9056-4M |                |         |

審査請求 未請求 請求項の数9(全 6 頁)

(21)出願番号 特願平3-218690

(22)出願日 平成3年(1991)8月29日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 及川 三郎

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

(72)発明者 望月 康弘

茨城県日立市久慈町4026番地 株式会社日

立製作所日立研究所内

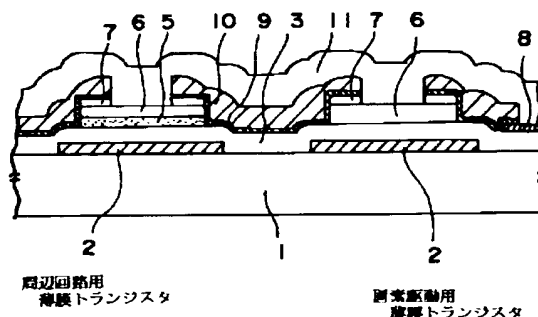
(74)代理人 弁理士 鶴沼 辰之

(54)【発明の名称】 薄膜半導体装置及びその製造方法

(57)【要約】

【目的】 画素駆動及びその周辺回路に適し、製品の均一性・再現性が優れた薄膜半導体装置及びその製造方法を提供する。

【構成】 周辺駆動回路用薄膜トランジスタのチャンネル領域は、多結晶及び非品質シリコンの積層構造を用い、画素駆動用薄膜トランジスタのチャンネル領域は単層非品質シリコン構造を用い、それぞれ逆スタガ構造とする。周辺駆動回路用薄膜トランジスタの多結晶シリコン層は非品質シリコンの局所レーザアニールで形成する。



- 1 絶縁基板
- 2 ゲート電極
- 3 ゲート絶縁層
- 4, 6 非品質シリコン層
- 5 多結晶シリコン層
- 7 単層非品質シリコン層
- 8 画素用透明電極層
- 9 ソース電極層
- 10 ドレイン電極層
- 11 パッシベーション層

## 【特許請求の範囲】

【請求項1】 同一の絶縁基板上にゲート電極、ゲート絶縁層、単層の非晶質半導体層チャンネル領域、ソース電極及びドレイン電極を順次形成した第1の逆スタガ構造の電界効果型薄膜トランジスタと、ゲート電極、ゲート絶縁層、結晶質と非晶質の積層の半導体層チャンネル領域、ソース電極及びドレイン電極を順次形成した第2の逆スタガ構造の電界効果型薄膜トランジスタとを有することを特徴とする薄膜半導体装置。

【請求項2】 前記半導体層はシリコンを主体とすることを特徴とする請求項1に記載の薄膜半導体装置。

【請求項3】 請求項1に記載の第1の逆スタガ構造の電界効果型薄膜トランジスタで形成した画素駆動用スイッチング素子と、第2の逆スタガ構造の電界効果型薄膜トランジスタで形成した前記画素駆動用スイッチング素子の周辺回路とを有することを特徴とする液晶ディスプレイ用アクティブマトリックス基板。

【請求項4】 同一の絶縁基板上にゲート電極、ゲート絶縁層を順次形成し、該ゲート絶縁層上の選択された領域に多結晶半導体層を形成し、該多結晶半導体層上に非晶質半導体層、ソース電極及びドレイン電極を形成することを特徴とする薄膜半導体装置の製造方法。

【請求項5】 同一の絶縁基板上にゲート電極、ゲート絶縁層、第1の非晶質半導体層を順次形成し、該第1の非晶質半導体層上の選択された領域にレーザアニールし、該第1の非晶質半導体層の不要領域をエッチング除去して多結晶半導体層を形成し、該多結晶半導体層上に第2の非晶質半導体層、ソース電極及びドレイン電極を形成することを特徴とする薄膜半導体装置の製造方法。

【請求項6】 同一の絶縁基板上にゲート電極、ゲート絶縁層、第1の非晶質半導体層を順次形成し、該第1の非晶質半導体層上の選択された領域にレーザアニールし、該第1の非晶質半導体層の不要領域をエッチング除去して多結晶半導体層を形成し、該多結晶半導体層及び前記ゲート絶縁層を水素主体のプラズマ雰囲気中で処理し続いてプラズマCVD法で第2の非晶質半導体層を形成し、次にソース電極及びドレイン電極を形成することを特徴とする薄膜半導体装置の製造方法。

【請求項7】 前記第1の非晶質半導体層をSiH<sub>4</sub>とH<sub>2</sub>を用いプラズマCVD法により形成し、前記第1の非晶質半導体層中のH<sub>2</sub>含有量を10%以下とすることを特徴とする請求項5または請求項6に記載の半導体装置の製造方法。

【請求項8】 請求項4から請求項7のうち何れかの請求項に記載の半導体装置の製造方法により製造された半導体装置。

【請求項9】 請求項4から請求項7のうち何れかの請求項に記載の半導体装置の製造方法により製造された液晶ディスプレイ用アクティブマトリックス基板。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は薄膜半導体装置に係り、特に液晶ディスプレイに用いられるアクティブマトリックス基板に好適な薄膜半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】液晶ディスプレイ用アクティブマトリックス基板としては、画素駆動用の薄膜トランジスタと、それらを駆動させる走査回路や信号回路の周辺駆動回路用の薄膜トランジスタを同一基板上に形成させたものが知られている。

【0003】画素駆動用及び周辺回路用の両者の薄膜トランジスタをいずれも単結晶又多結晶シリコンの同一種類で形成したもの、画素駆動用薄膜トランジスタを非晶質シリコンの単層若しくは積層で、周辺回路用薄膜トランジスタを多結晶シリコンで形成したもの等がある。

【0004】前者の例としては、特開平1-194351号公報があり、後者の例としては、特開昭64-2088号公報、アイ・イー・イー・イー・トランザクション オン エレクトロン デバイス 第36巻第2868頁～第2872頁 (IEEE Transactions on Electron Devices, Vol. 36, pp2868～2872(1989))等がある。

【0005】また、特開平2-27320号公報には画素駆動用薄膜トランジスタのチャンネル領域を非晶質シリコン、ソース、ドレイン領域を多結晶シリコンで形成し、周辺回路用薄膜トランジスタのチャンネル領域及びソース、ドレイン領域を多結晶シリコンで形成した例が開示されている。

## 【0006】

【発明が解決しようとする課題】周辺駆動回路を内蔵したアクティブマトリックス基板の薄膜トランジスタとしては、次の特性が要求される。画素駆動用薄膜トランジスタは、オフ電流が小さく、製法上は大面積基板内に形成するためプロセスの均一性が得られやすいことが望まれる。一方、周辺駆動回路用薄膜トランジスタは、オン電流を大きくするため電界効果移動度が大きいことが望まれる。また両者の薄膜トランジスタを同一基板上に形成するためには、両者の製造プロセスのマッチングが重要課題である。

【0007】上記従来構造においては、いずれも製造工程が複雑で、このため歩留りの低下、コスト高、大面積基板内及び製造ロット間の不均一性の問題が有る。

【0008】例えば、多結晶シリコン薄膜トランジスタは製造工程の処理温度が高いため、使用可能な耐熱ガラス基板が高価となる。

【0009】単結晶シリコンをガラス基板に貼合せる方法は、特性的には優れた周辺駆動回路が得られるが、製造工程で複雑で高価となる。

【0010】非晶質シリコン層をレーザアニールして多結晶層とした正スタガ構造の薄膜トランジスタは、製法

が比較的簡単で、かつ特性的にも優れているが、液晶ディスプレイ用アクティブマトリックスとしては遮光が必要となり、この点でトータルプロセス工程数が増加する。

【0011】また、画素駆動用薄膜トランジスタを非晶質シリコンで積層する構成は、非晶質層と非晶質層の接合において、プラズマCVD時の形成条件、例えば高周波出力、基板温度等のわずかな差異により、新たなトラップ準位が形成され、特性のばらつきを生じやすい。

【0012】本発明の目的は、画素駆動及びその周辺回路に適し、製品の均一性・再現性が優れた薄膜半導体装置及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記目的は、同一の絶縁基板上にゲート電極、ゲート絶縁層、単層の非晶質半導体層チャンネル領域、ソース電極及びドレイン電極を順次形成した第1の逆スタガ構造の電界効果型薄膜トランジスタと、ゲート電極、ゲート絶縁層、結晶質と非晶質の積層の半導体層のチャンネル領域、ソース電極及びドレイン電極を順次形成した第2の逆スタガ構造の電界効果型薄膜トランジスタとを有することにより達成される。

【0014】上記目的は、同一の絶縁基板上にゲート電極、ゲート絶縁層、を順次形成し、該ゲート絶縁層上の選択された領域に多結晶半導体層を形成し、該多結晶半導体層上に非晶質半導体層、ソース電極及びドレイン電極を形成することにより達成される。

【0015】上記目的は、同一の絶縁基板上にゲート電極、ゲート絶縁層、第1の非晶質半導体層を順次形成し、該第1の非晶質半導体層上の選択された領域にレーザアニールし、該第1の非晶質半導体層の不要領域をエッチング除去して多結晶半導体層を形成し、該多結晶半導体層上に第2の非晶質半導体層、ソース電極及びドレイン電極を形成することにより達成される。

【0016】上記目的は、同一の絶縁基板上にゲート電極、ゲート絶縁層、第1の非晶質半導体層を順次形成し、該第1の非晶質半導体層上の選択された領域にレーザアニールし、該第1の非晶質半導体層の不要領域をエッチング除去して多結晶半導体層を形成し、該多結晶半導体層及び前記ゲート絶縁層を水素主体のプラズマ雰囲気中で処理し続いてプラズマCVD法で第2の非晶質半導体層を形成し、次にソース電極及びドレイン電極を形成することにより達成される。

【0017】

【作用】上記構成によれば、同一の絶縁基板上に第1、第2の逆スタガ構造の電界効果型薄膜トランジスタが形成され、第2の逆スタガ構造の電界効果型薄膜トランジスタのオン電流はソース電極から多結晶質半導体層チャンネル領域を通してドレイン電極へと流れる。非晶質層に比べて結晶性が優れた多結晶層ではトラップ密度が著

しく低いため、高い電界効果移動度が得られる。また、半導体層における非晶質層と多結晶層の接合は、新規なトラップ準位や界面準位の形成は無く、清浄にのみ注意すれば良好な接合が再現性良く得られる。一方、第1の逆スタガ構造の電界効果型薄膜トランジスタは、単層の非晶質半導体層チャンネル領域とゲート絶縁層との界面の清浄に注意すれば、通常のプラズマCVD法による形成で大面積均一性が得られる。

【0018】そして、第1、第2の逆スタガ構造の電界効果型薄膜トランジスタの形成は、同一の絶縁基板上にゲート電極、ゲート絶縁層、を順次双方同時に形成し、第2の逆スタガ構造の電界効果型薄膜トランジスタのゲート絶縁層上の選択された領域に多結晶半導体層を形成し、その多結晶半導体層以外の領域の非晶質膜を除去するプロセスだけが異なり、プロセスをほぼ同時進行させることが可能であるからプロセスのマッチングがとれ第1、第2の逆スタガ構造の電界効果型薄膜トランジスタを同一絶縁基板上に形成することが出来る。また、製造プロセスが簡単であり、均一性・再現性に優れ、歩留まりが高くなる。

【0019】

【実施例】以下、本発明の実施例を図により説明する。

【0020】図1は本実施例の薄膜半導体装置の縦断面図である。左側に示す素子は周辺回路用薄膜トランジスタ、右側に示す素子は画素駆動用薄膜トランジスタである。本実施例では、表示部が対角305mm(12インチ相当)の大きさの液晶ディスプレイ用アクティブマトリックス基板を製造する場合としており、画素部は通常の逆スタガ構造の非晶質Si薄膜トランジスタを画素数分480×640(×3)個を基板上に配列し、さらに、周辺回路部においてはチャンネル領域が多結晶と非晶質Siの二層構造とした同逆スタガ構造の薄膜トランジスタ基板製作の場合である。このチャンネル領域に必要なのは薄膜の多結晶であるが、薄膜にするとそれ以後の他の膜を形成するプロセスで損傷を受けてチャンネル領域として満足に作動しなくなるから、薄膜の多結晶を保護する目的でその上に非晶質Siの層を形成し二層構造としている。逆スタガ構造は遮光マスクが不要のため使用される例が多い。

【0021】まず、大きさ対角355mm(14インチ相当)、厚み1.1mmのガラス製の絶縁基板1を用意する。

【0022】図2に示す様に、絶縁基板1上にCr層をスパッタリング法にて厚さ300nm堆積し、その後通常のホトリソグラフの技術を用いてパターンニングしゲート電極2を形成する。

【0023】図3に示すように、順次ゲート絶縁層となるSiN層3を350nm及び半導体薄膜の非晶質Si層4を60nmプラズマCVD法により堆積する。層堆積条件は、SiN層3は原料ガスとしてSiH<sub>4</sub>とNH<sub>3</sub>

を用い、基板温度は300℃とし、非晶質Si層4は原料ガスとしてSiH<sub>4</sub>とH<sub>2</sub>を用い、基板温度360℃で堆積する。ここで重要なことは、非晶質Si層4中の含有水素濃度(Si-H結合、Si-H<sub>2</sub>結合、(Si-H<sub>2</sub>)<sub>n</sub>結合等の水素濃度)が10%以下とすることである。このためには基板温度を高くし、反応圧力を低くすることが望ましい。基板温度360℃で堆積する非晶質Si層4中の水素含有量は約9%となる。尚、水素含有量が10%を越えると、次のレーザアニール時にSi層の剥離が生じやすい。これは、層中の水素やSiH<sub>x</sub>が急激に蒸発飛散するためと考えられる。同図左側の周辺回路となる部分のゲート電極2の上層のゲート絶縁層上の非晶質Si層4のみに、エネルギー280mJ/cm<sup>2</sup>のXeClエキシマレーザ(波長308nm)を照射する。この工程において、レーザ照射された非晶質Si層4は多結晶Si層5に改質される。

【0024】図4において、一部多結晶Si層5となった非晶質Si層4を極低濃度のHF(1容)-HNO<sub>3</sub>(2容)-H<sub>2</sub>O(5容)の混液で10秒間エッチングして非晶質Si層4のみをエッチングし、周辺回路となる部分の多結晶Si層5を選択的にSiN層3上にパターニングする。

【0025】図5に示すように、非晶質Si層6及びこれにリンをドーパしたn型Si層7をプラズマCVD法によりそれぞれ220nm、40nm堆積する。堆積条件は、次のとおりである。非晶質Si層6は原料ガスとしてSiH<sub>4</sub>とH<sub>2</sub>を用い、基板温度は300℃とし、これにより堆積層中の水素濃度は12~14%に制御される。n型非晶質Si層7は原料ガスとしてSiH<sub>4</sub>とドーパントとしてのPH<sub>3</sub>(濃度1%、ベースガスH<sub>2</sub>)を用い、基板温度は300℃とし、堆積層の抵抗率は10<sup>3</sup>Ω-cmである。ここで重要なことはプロセスの再現性向上のため、多結晶Si層5を選択的にSiN層3上にパターニングした基板表面のクリーニングを行うことである。基板をプラズマCVD装置にセット後、非晶質Si層6及びn型Si層7を堆積する前に水素又は水素とハロゲン化物(HF、NF<sub>3</sub>)の混合ガスのプラズマ中で基板表面を薄くエッチングする。圧力0.8Torr(100Pa)供給電力0.8W/cm<sup>2</sup>のプラズマ処理を行った。その結果、多結晶Si層5は約10nmエッチングされるとともに、タンダリングボンドが水素でターミネーションされる。上記の層形成は同一チャンバ内で連続して実施することにより、コンタミネーションを防止できる。この結果、周辺回路部はゲート電極2の上部に改質した多結晶Si層5と非晶質Si層6、7の3層積層構造が、また、画素部はゲート電極2の上部に非晶質Si層6、7の2層構造が形成される。

【0026】図6に示すように、n型非晶質Si層7及び非晶質Si層6を通常のホトリソグラフィ技術により、島状にパターニングし、薄膜トランジスタの能動領域を形成する。

域を形成する。

【0027】図7に示すようにスパッタリング法にて透明電極である酸化インジウム・スズ(ITO)層を厚さ120nm堆積した後これもホトリソグラフィ技術でパターニングして画素用透明電極層8を形成する。

【0028】図8に示すように、Cr層9及びAl層10をそれぞれ層厚60nm及び350nmスパッタリング法にて順次堆積する。その後ホトリソグラフィによりソース及びドレイン電極をパターニングし、更に引続いて、ソースとドレイン電極間に露出したn型非晶質Si層7をドライエッチングする。これにより、シリコン薄膜トランジスタのチャンネル領域は、周辺回路用薄膜トランジスタは多結晶Si層5層と非晶質Si層6の積層構造となり、画素駆動用薄膜トランジスタは非晶質Si層6層の単層構造となる。次に上記基板にパッシベーション層11としてプラズマCVD法によりSiNを層厚約1μmに堆積する。このようなプロセスを経て周辺回路内蔵アクティブマトリックス基板が実現できる。本実施例では半導体の素材としてSiを用いたが他の素材例えばGaAs、Ge、Ceでも同様に可能である。

【0029】本実施例で製作したそれぞれの薄膜トランジスタの特性は、周辺回路部においては電界効果移動度; 50cm<sup>2</sup>/V·s、しきい電圧; 2.2±0.1V、オフ電流2~6×10<sup>-12</sup>A(V<sub>g</sub>=-5V)が得られ、画素部においては、電界効果移動度; 0.3~0.6cm<sup>2</sup>/V·s、しきい電圧; 1.5±0.2V、オフ電流; 1~3×10<sup>-12</sup>Aが得られる。

【0030】

【発明の効果】本発明によれば、第2の逆スタガ構造の電界効果型薄膜トランジスタのオン電流は多結晶質半導体層チャンネル領域を流れ、多結晶層ではトラップ密度が著しく低いため、高い電界効果移動度が得られる。一方、第1の逆スタガ構造の電界効果型薄膜トランジスタは、通常のプラズマCVD法で大面积均一性が得られる。そして、第1、第2の逆スタガ構造の電界効果型薄膜トランジスタの形成は、プロセスをほぼ同時進行させることが可能であるからプロセスのマッチングがとれ同一基板上に形成することが出来る。また、製造プロセスが簡単であり、均一性・再現性に優れ、歩留まりが高くなる。

【図面の簡単な説明】

【図1】本発明の実施例の薄膜半導体装置の縦断面図である。

【図2】本発明の実施例の薄膜半導体装置の製造工程毎の縦断面図である。

【図3】本発明の実施例の薄膜半導体装置の製造工程毎の縦断面図である。

【図4】本発明の実施例の薄膜半導体装置の製造工程毎の縦断面図である。

【図5】本発明の実施例の薄膜半導体装置の製造工程毎

7

8

の縦断面図である。

【図6】本発明の実施例の薄膜半導体装置の製造工程毎の縦断面図である。

【図7】本発明の実施例の薄膜半導体装置の製造工程毎の縦断面図である。

【図8】本発明の実施例の薄膜半導体装置の製造工程毎の縦断面図である。

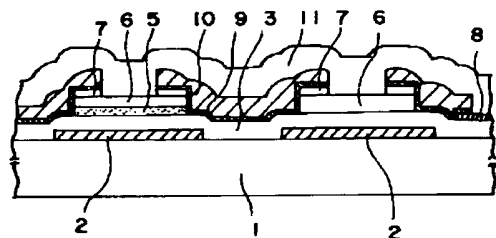
【符号の説明】

- 1 絶縁基板  
2 ゲート電極

- 3 ゲート絶縁層  
4 非晶質シリコン層  
5 多結晶シリコン層  
6 非晶質シリコン層  
7 n型非晶質シリコン層  
8 画素用透明電極層  
9 ソース電極層  
10 ドレイン電極層  
11 パッシベーション層

10

【図1】

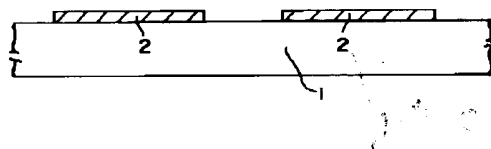


周辺回路用  
薄膜トランジスタ

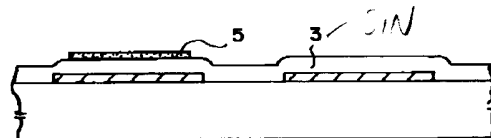
画素駆動用  
薄膜トランジスタ

- 1 絶縁基板  
2 ゲート電極  
3 絶縁層  
4, 6 非晶質シリコン層  
5 多結晶シリコン層  
7 n型非晶質シリコン層  
8 画素用透明電極層  
9 ソース電極層  
10 ドレイン電極層  
11 パッシベーション層

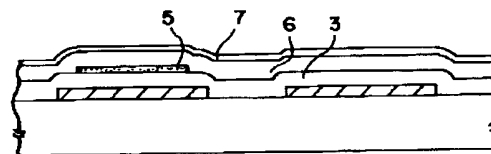
【図2】



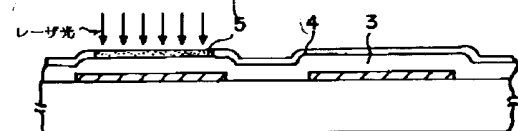
【図4】



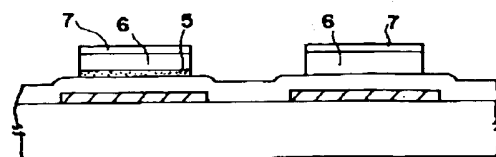
【図5】



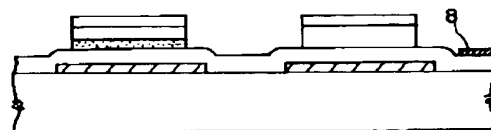
【図3】



【図6】



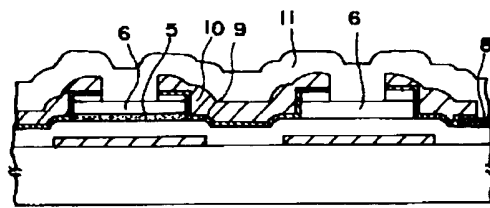
【図7】



(6)

特開平5-55570

【図8】



HPS Trailer Page  
for

**EAST**

---

UserID: HLee4\_Job\_1\_of\_1  
Printer: cp4\_3c03\_gbfhptr

**Summary**

| <u>Document</u> | <u>Pages</u> | <u>Printed</u> | <u>Missed</u> | <u>Copies</u> |
|-----------------|--------------|----------------|---------------|---------------|
| JP405055570A    | 6            | 6              | 0             | 1             |
| Total (1)       | 6            | 6              | 0             | -             |